

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-216470

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

G11C 11/22

G11C 29/00

(21)Application number : 2001-012042

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.01.2001

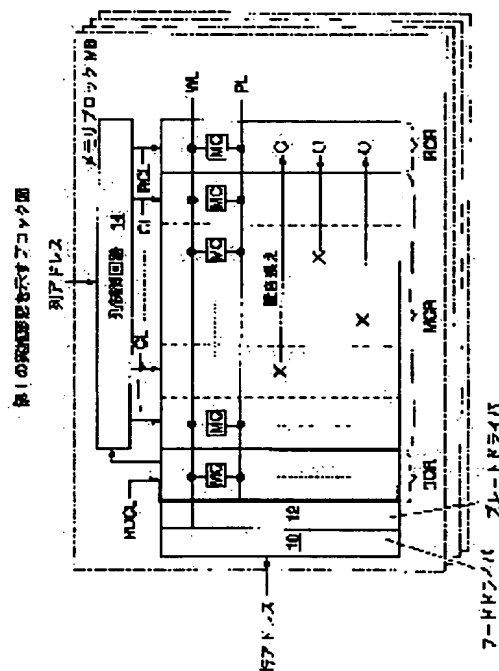
(72)Inventor : ONO CHIKAU
YAMAZAKI HIROKAZU
SUZUKI HIDEAKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the access time of a semiconductor memory having a redundant circuit for relieving the defect of a memory cell area.

SOLUTION: A redundant information area which has a memory cell storing relief information indicating the location of a defective memory cell is arranged near at least either of a word driver or a plate driver relative to a memory cell area and a redundant memory cell area. For this reason, the memory cell of the redundant information area operates quickly compared with the memory cells of the memory cell area and the redundant memory cell area. Relief or nonrelief can quickly be decided because the memory cell storing the relief information of the redundant information area quickly starts operation. As a result, the access time can be shortened in both cases of the relief and the nonrelief of the memory cell.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-216470

(P2002-216470A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl.

G11C 11/22
29/00

識別記号

501
603

F I

G11C 11/22
29/00

テーマコード(参考)

501P 5L106
603C

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2001-12042(P2001-12042)

(22) 出願日 平成13年1月19日 (2001.1.19)

USP 6496428

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 大野 智

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 山崎 浩和

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100072718

弁理士 古谷 史旺

最終頁に続く

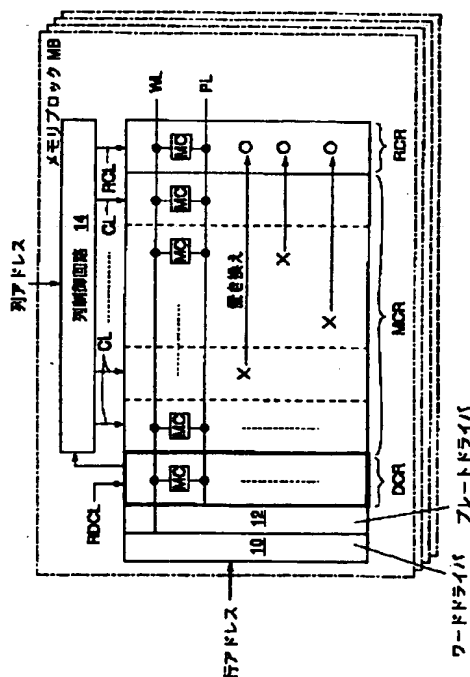
(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】 本発明は、メモリセル領域の不良を救済するための冗長回路を有する半導体メモリに関し、アクセス時間を短縮することを目的とする。

【解決手段】 不良のメモリセルの位置を示す救済情報を保持するメモリセルを有する冗長情報領域は、メモリセル領域および冗長メモリセル領域に対して、ワードドライバおよびプレートドライバの少なくともいずれかの近くに配置されている。このため、冗長情報領域のメモリセルは、メモリセル領域、冗長メモリセル領域のメモリセルに比べ早く動作する。救済情報を保持している冗長情報領域のメモリセルが早く動作を開始するため、救済、非救済が早く判定できる。この結果、メモリセルの救済時、非救済時のいずれの場合にもアクセス時間を短縮できる。

図1の救済情報を示すブロック図



冗長情報領域(冗長)はワードドライバの近くに配置される。

claim 5, 6 不救済情報メモリである

1

【特許請求の範囲】

【請求項1】 通常動作で使用されるメモリセル領域と、
前記メモリセル領域内の不良のメモリセルを救済するためのメモリセルを有する冗長メモリセル領域と、
前記不良のメモリセルの位置を示す救済情報を保持するメモリセルを有する冗長情報領域と、
前記メモリセル領域と前記冗長メモリセル領域と前記冗長情報領域との前記メモリセルに接続された共通のワード線と、
前記ワード線にワード線選択信号を供給するワードドライバとを備え、
前記冗長情報領域は、前記メモリセル領域および前記冗長メモリセル領域に対して、前記ワードドライバの近くに配置されていることを特徴とする半導体メモリ。

【請求項2】 通常動作で使用されるメモリセル領域と、
前記メモリセル領域内の不良のメモリセルを救済するためのメモリセルを有する冗長メモリセル領域と、
前記不良のメモリセルの位置を示す救済情報を保持するメモリセルを有する冗長情報領域と、
前記メモリセル領域と前記冗長メモリセル領域と前記冗長情報領域との前記メモリセルに接続された共通のプレート線と、
前記プレート線にプレート電圧を供給するプレートドライバとを備え、
前記冗長情報領域は、前記メモリセル領域および前記冗長メモリセル領域に対して、前記プレートドライバの近くに配置されていることを特徴とする半導体メモリ。

【請求項3】 通常動作で使用されるメモリセル領域と、
前記メモリセル領域内の不良のメモリセルを救済するためのメモリセルを有する冗長メモリセル領域と、
前記不良のメモリセルの位置を示す救済情報を保持するメモリセルを有する冗長情報領域と、
前記メモリセル領域と前記冗長メモリセル領域と前記冗長情報領域との前記メモリセルに接続された共通のワード線と、
前記メモリセル領域と前記冗長メモリセル領域と前記冗長情報領域との前記メモリセルに接続された共通のプレート線と、
前記ワード線にワード線選択信号を供給するワードドライバと、
前記プレート線にプレート電圧を供給するプレートドライバとを備え、
前記冗長情報領域は、前記メモリセル領域および前記冗長メモリセル領域に対して、前記ワードドライバおよび前記プレートドライバの少なくともいずれかの近くに配置されていることを特徴とする半導体メモリ。

【請求項4】 請求項1ないし請求項3のいずれか1項

2

記載の半導体メモリにおいて、

前記メモリセル領域および前記冗長メモリセル領域は、それぞれ前記メモリセルに読み書きするデータを入出力するコラムスイッチおよび冗長コラムスイッチを有し、前記冗長情報領域の前記メモリセルから読み出される前記救済情報に応じて、前記コラムスイッチおよび前記冗長コラムスイッチの一方が活性化されることを特徴とする半導体メモリ。

【請求項5】 請求項1ないし請求項3のいずれか1項記載の半導体メモリにおいて、

前記冗長情報領域の前記メモリセルは、不揮発性のメモリセルで構成されていることを特徴とする半導体メモリ。

【請求項6】 請求項5記載の半導体メモリにおいて、前記メモリセル領域および前記冗長メモリセル領域は、前記冗長情報領域と同じ不揮発性のメモリセルで構成されていることを特徴とする半導体メモリ。

【請求項7】 請求項5または請求項6記載の半導体メモリにおいて、

前記不揮発性のメモリセルは、書き込まれたデータを保持する強誘電体キャパシタを有することを特徴とする半導体メモリ。

【請求項8】 請求項2記載の半導体メモリにおいて、前記メモリセル領域、前記冗長メモリセル領域、および前記冗長情報領域で構成される複数のメモリ領域と、前記メモリ領域にそれぞれ隣接して配置される複数の前記プレートドライバとを備えていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセル領域の不良を救済するための冗長回路を有する半導体メモリに関する。特に、本発明は、冗長回路を有する不揮発性の半導体メモリに関する。

【0002】

【従来の技術】一般に、半導体メモリは、データを保持するために電力が必要なDRAM (Dynamic Random Access Memory) 等の揮発性の半導体メモリと、データを保持するために電力が不要なフラッシュメモリ・EEPROM (Electrical Erasable Programmable Read Only Memory) 等の不揮発性の半導体メモリとに大別されている。また、半導体メモリの性能は、記憶容量・アクセス速度・消費電力で表されることが多い。

【0003】DRAMは、大容量・高速の半導体記憶装置として、主に、コンピュータの主記憶用として使用されている。しかし、DRAMは揮発性であるため、データを保持するためにリフレッシュ動作が必要であり、消費電力が大きい。フラッシュメモリ・EEPROMは、大容量・低消費電力・不揮発性の半導体メモリとして、主に、ファイルシステム、メモ리카ード、ポータブル機器等に使用され

ている。しかし、フラッシュメモリ・EEPROMは、データの書き込みに要する時間が著しく長い。

【0004】一方、近時、DRAMおよびフラッシュメモリ・EEPROMの長所を兼ね備えた半導体メモリとして、メモリセルを強誘電体キャパシタで構成した強誘電体メモリが開発されている。強誘電体メモリは、強誘電体キャパシタへの印加電圧をゼロにしても残留分極が残ることを利用することで、電源が供給されなくてもデータを保持できる。

【0005】強誘電体メモリの記憶容量は、年々増えてきており、フラッシュメモリとの置き換えも検討されている。記憶容量の増加に伴い、チップサイズが大きくなる傾向にある。このため、近時、強誘電体メモリの欠陥救済技術（冗長回路技術）が検討されている。強誘電体メモリの冗長回路技術として、例えば、特開2000-215687号公報に開示されるものが知られている。

【0006】図6は、この種の冗長回路を有する強誘電体メモリの概要を示している。図において、強誘電体メモリは、複数のメモリブロックMBを有している。メモリブロックMBは、ワードドライバ10、プレートドライバ12、列制御回路14、メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRを有している。

【0007】ワードドライバ10は、行アドレスに応じて所定のワード線WLに電圧を供給する。プレートドライバ12は、行アドレスに応じて所定のプレート線PLに電圧を供給する。列制御回路14は、列アドレス、および冗長情報領域DCRから出力される救済情報（救済アドレス情報等）に応じて、メモリセル領域MCRおよび冗長メモリセル領域RCRにそれぞれ列選択信号CLおよび冗長列選択信号RCLを出力する。列選択信号CLの活性化に応じてメモリセル領域MCRのコラムスイッチ（図示せず）がオンし、冗長列選択信号RCLの活性化に応じて冗長メモリセル領域RCRの冗長コラムスイッチ（図示せず）がオンする。

【0008】メモリセル領域MCRは、通常動作に使用されるメモリセルMCで構成されている。冗長メモリセル領域RCRは、不良のメモリセルを救済するためのメモリセルMCで構成されている。冗長情報領域DCRは、不良のメモリセルの位置を示すためのメモリセルMCで構成されている。メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRのメモリセルMCは、共通のワード線WLおよびプレート線PLに接続されている。読み出し動作および書き込み動作時に、メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRのメモリセルMCは、ワード線WLおよびプレート線PLの活性化に応じて同時に選択される。換言すれば、ワード線WLおよびプレート線PLの両方によって活性化されたメモリセルMCがアクセス可能になる。

【0009】例えば、ワード線WLおよびプレート線PLの活性化により、“救済”を示す救済情報が、冗長情報領域

DCRのメモリセルMCから読み出されると、列選択信号CLは非活性化され、冗長列選択信号RCLは活性化される。列選択信号CLの非活性化によりコラムスイッチがオフし、メモリセル領域MCRの不良のメモリセルMC（図中の×印）のアクセスが禁止される。冗長列選択信号RCLの活性化により冗長コラムスイッチがオンし、冗長メモリセル領域RCRのメモリセルMC（図中の○印）のアクセスが許可される。すなわち、不良のメモリセルMCが正常なメモリセルMCに置き換えられ、メモリセルMCが救済される。

【0010】

【発明が解決しようとする課題】上述した強誘電体メモリのメモリブロックMBでは、メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRは、ワードドライバ10、プレートドライバ12に隣接して順次配置されている。すなわち、冗長情報領域DCRは、ワードドライバ10、プレートドライバ12から遠い位置に配置されている。

【0011】一般に、ワード線WLおよびプレート線PLには、寄生抵抗および寄生容量が存在する。このため、ワードドライバ10およびプレートドライバ12から遠いメモリセルMCほど信号（電圧）が伝達されるまでの時間が長くなる。ワードドライバ10およびプレートドライバ12から最も遠い冗長情報領域DCRのメモリセルMCの選択は、他のメモリセルMCの選択に比べ遅くなる。

【0012】冗長情報領域DCRのメモリセルMCの選択が遅いため、冗長情報領域DCRからの救済情報の出力は遅くなる。この結果、メモリセル領域MCRおよび冗長メモリセル領域RCRのメモリセルMCが既に選択されているにもかかわらず、これ等メモリセルMCに対する読み書きが迅速にできないという問題があった。すなわち、アクセス時間が遅くなるという問題があった。

【0013】メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRのメモリセルMCは、ワード線WLおよびプレート線PLにより同時に選択されるため、列制御回路14を救済情報（列アドレス）に应答して早めに早く動作させるかが、読み書き動作を高速に実行するために重要である。本発明の目的は、半導体メモリのアクセス時間を短縮することにある。

【0014】さらに、本発明の別の目的は、半導体メモリのアクセス時間を短縮し、かつチップサイズを小さくすることにある。

【0015】

【課題を解決するための手段】請求項1の半導体メモリは、メモリセル領域、冗長メモリセル領域、冗長情報領域、およびワード線にワード線選択信号を供給するワードドライバを有している。冗長情報領域は、メモリセル領域および冗長メモリセル領域に対して、ワードドライバの近くに配置されている。メモリセル領域は、通常動作で使用されるメモリセルを有している。冗長メモリセ

5

ル領域は、メモリセル領域内の不良のメモリセルを救済するためのメモリセルを有している。冗長情報領域は、不良のメモリセルの位置を示す救済情報を保持するメモリセルを有している。メモリセル領域と冗長メモリセル領域と冗長情報領域とのメモリセルは、共通のワード線に接続されている。

【0016】この半導体メモリでは、アドレス等の供給に応じて所定のワード線選択信号（ワード線）が活性化され、メモリセル領域内の所定のメモリセルが選択される。このとき、同じワード線に接続されている冗長メモリセル領域、冗長情報領域内の所定のメモリセルも選択される。ワード線は、配線抵抗および負荷容量を含んでいるため、ワード線選択信号は、ワードドライバに近いメモリセルほど早く伝達される。冗長情報領域は、ワードドライバの近くに配置されているため、冗長情報領域のメモリセルは、メモリセル領域、冗長メモリセル領域のメモリセルに比べ早く動作する。

【0017】メモリセル領域の動作時に、不良のメモリセルは、このメモリセルに対応する冗長情報領域に保持された救済情報に応じて非選択される。不良のメモリセルを救済する冗長メモリセル領域のメモリセルは、不良のメモリセルに対応する冗長情報領域に保持された救済情報に応じて選択される。救済情報を保持している冗長情報領域のメモリセルが早く動作を開始するため、救済、非救済が早く判定できる。この結果、メモリセルの救済時、非救済時のいずれの場合にもアクセス時間を短縮できる。

【0018】請求項2の半導体メモリは、メモリセル領域、冗長メモリセル領域、冗長情報領域、およびプレート線にプレート電圧を供給するプレートドライバを有している。冗長情報領域は、メモリセル領域および冗長メモリセル領域に対して、プレートドライバの近くに配置されている。メモリセル領域は、通常動作で使用されるメモリセルを有している。冗長メモリセル領域は、メモリセル領域内の不良のメモリセルを救済するためのメモリセルを有している。冗長情報領域は、不良のメモリセルの位置を示す救済情報を保持するメモリセルを有している。メモリセル領域と冗長メモリセル領域と冗長情報領域とのメモリセルは、共通のプレート線に接続されている。

【0019】この半導体メモリでは、アドレス等の供給に応じて所定のプレート線が活性化され、メモリセル領域内の所定のメモリセルが選択される。このとき、同じプレート線に接続されている冗長メモリセル領域、冗長情報領域内の所定のメモリセルも選択される。プレート線は、配線抵抗および負荷容量を含んでいるため、プレート線に供給されるプレート電圧は、プレートドライバに近いメモリセルほど早く伝達される。冗長情報領域は、プレートドライバの近くに配置されているため、冗長情報領域のメモリセルは、メモリセル領域、冗長メモ

6

リセル領域のメモリセルに比べ早く動作する。

【0020】この結果、請求項1と同様に、救済情報を保持している冗長情報領域のメモリセルが早く動作を開始でき、救済、非救済が早く判定できる。メモリセルの救済時、非救済時のいずれの場合にもアクセス時間を短縮できる。請求項3の半導体メモリは、メモリセル領域、冗長メモリセル領域、冗長情報領域を有している。また、半導体メモリは、ワード線にワード線選択信号を供給するワードドライバ、およびプレート線にプレート電圧を供給するプレートドライバの少なくともいずれかを有している。これ等各要素の構成は、上述の半導体メモリと同じである。このため、請求項1および請求項2と同様に、メモリセルの救済時、非救済時のいずれの場合にもアクセス時間を短縮できる。

【0021】請求項4の半導体メモリでは、メモリセル領域および冗長メモリセル領域は、これ等領域のメモリセルに読み書きするデータを入出力するコラムスイッチおよび冗長コラムスイッチをそれぞれ有している。冗長情報領域のメモリセルから読み出される救済情報が“非救済”を示すとき、コラムスイッチが活性化され、データは、メモリセル領域のメモリセルに読み書きされる。データが救済情報が“救済”を示すとき、冗長コラムスイッチが活性化され、データは、冗長メモリセル領域のメモリセル領域に読み書きされる。コラムスイッチおよび冗長コラムスイッチの動作が早く開始されるため、アクセス時間が短縮される。

【0022】請求項5ないし請求項7の半導体メモリでは、冗長情報領域のメモリセルは、不揮発性のメモリセルで構成されている。このため、電源が供給されないときにも、不良のメモリセルの位置を示す救済情報を保持できる。不揮発性のメモリセルは、例えば、書き込まれたデータを保持する強誘電体キャパシタを有している。メモリセル領域および冗長メモリセル領域を、冗長情報領域と同じ不揮発性のメモリセルで構成することで、これ等メモリセルを同じレイアウトルールで設計し、同じ半導体プロセスで製造できる。したがって、チップサイズを小さくできる。チップサイズが小さくなり、かつ製造工程が簡単になることで、製造コストを低減できる。

【0023】請求項8の半導体メモリでは、メモリセル領域、冗長メモリセル領域、および冗長情報領域で構成される複数のメモリ領域と、メモリ領域にそれぞれ隣接して配置される複数のプレートドライバとを有している。一般に、ワード線は、メモリセルの伝達トランジスタのゲートを通して強誘電体キャパシタに接続され、プレート線は、強誘電体キャパシタに直接接続されている。プレート線に接続される負荷は、メモリセルの強誘電体容量等を含むため、ワード線に接続される負荷より大きくなる。複数のメモリ領域に対応して、複数のプレートドライバを形成することで、プレート線の長さを短くでき、プレート線の負荷を小さくできる。この結果、

7

プレート線の負荷がアクセス時間に影響することを最小限にでき、アクセス時間を短縮できる。

【0024】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1は、本発明の半導体メモリの第1の実施形態を示している。この実施形態は、請求項1～請求項7に対応している。従来技術で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この半導体メモリは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。

【0025】強誘電体メモリは、複数のメモリブロックMBを有している。メモリブロックMBは、ワードドライバ10、プレートドライバ12、列制御回路14、冗長情報領域DCR（図中に太線で示した）、メモリセル領域MCR、および冗長メモリセル領域RCRを有している。この強誘電体メモリの特徴は、冗長情報領域DCRがメモリセル領域MCRおよび冗長メモリセル領域RCRに対してワードドライバ10およびプレートドライバ12の近くに配置されたことである。その他の構成および信号の接続は、従来とほぼ同じである。

【0026】すなわち、ワードドライバ10は、行アドレスに応じて所定のワード線WLに電圧を供給する。プレートドライバ12は、行アドレスに応じて所定のプレート線PLに電圧を供給する。列制御回路14は、列アドレス、および冗長情報領域DCRから出力される救済情報（救済アドレス情報等）に応じて、メモリセル領域MCRおよび冗長メモリセル領域RCRにそれぞれ列選択信号CLおよび冗長列選択信号RCLを出力する。メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRのメモリセルMCは、強誘電体キャパシタおよび伝達トランジスタで構成されており、共通のワード線WLおよびプレート線PLに接続されている。冗長情報領域DCRのメモリセルMCが強誘電体キャパシタで構成されているため、救済情報は、電源が供給されていないときにも保持される。ワード線WLおよびプレート線PLの両方によって活性化されたメモリセルMCがアクセス可能になる。冗長情報領域DCRへの救済情報の書き込みは、冗長書き込み信号RDCLの活性化にตอบสนองして冗長情報領域DCRのコラムスイッチCLS（後述）をオンすることで実行される。

【0027】図2は、冗長情報領域DCRの詳細を示している。冗長情報領域DCRは、冗長アドレス領域RARおよび冗長フラグ領域RFRで構成されている。冗長アドレス領域RARおよび冗長フラグ領域RFRは、救済情報を保持するための複数のメモリセルMC、コラムスイッチCLS、およびセンスアンプS/Aを有している。なお、メモリセル領域MCRおよび冗長メモリセル領域RCRの基本的なレイアウトは、冗長情報領域DCRのレイアウトと同じである。すなわち、これ等領域DCR、MCR、RCRにおける基本ブロックのレイアウトデータは、外部からの配線（例えば、上

8

層のアルミニウム配線）を除き同一である。領域DCR、MCR、RCRのメモリセルMCおよびその周辺の回路は、同じレイアウトルールで設計され、同じ半導体プロセス技術を使用して製造される。したがって、チップサイズを小さくできる。チップサイズが小さくなり、かつ製造工程が簡単になることで、製造コストを低減できる。

【0028】メモリセルMCの選択トランジスタのゲートは、ワード線WL0-WL511のいずれかに接続されている。メモリセルMCの強誘電体キャパシタは、一端を選択トランジスタに接続され、他端をプレート線PL0-PL255のいずれかに接続されている。メモリセルMCは、相補のビット線BL、/BLのいずれかに接続されている。換言すれば、偶数番号のワード線WL0、WL2、...に接続されたメモリセルMCは、トゥルービット線BLに接続され、奇数番号のワード線WL1、WL3、...に接続されたメモリセルMCは、バービット線/BLに接続されている。ビット線BLは、データ線DB0-DB7のいずれかに接続され、ビット線/BLは、データ線/DB0-/DB7のいずれかに接続されている。

【0029】冗長アドレス領域RARは、3ビットのアドレス情報（列アドレスの下位3ビット）をワード線毎に512個保持する1536個のメモリセルMCを有している。冗長アドレス領域RARのコラムスイッチCLSは、冗長書き込み信号RDCLの活性化時にオンする。冗長書き込み信号RDCLは、冗長書き込み信号REDSELおよびブロック選択信号IBSの活性化時に活性化される。各ワード線に接続された3つのメモリセルMCは、メモリセル領域MCRのブロックBLK0-BLK7（後述）のいずれかを示す不良アドレス（2進データ）をアドレス情報として保持する。アドレス情報は、冗長書き込み信号RDCLの高レベル時に、データ線DB0-DB2、/DB0-/DB2を使用して書き込まれる。

【0030】冗長フラグ領域RFRは、1ビットの救済情報を512個保持する512個のメモリセルMCを有している。冗長フラグ領域RFRのコラムスイッチCLSは、冗長書き込み信号RDCLの活性化時にオンする。救済情報は、冗長書き込み信号REDSELおよびブロック選択信号IBSの高レベル時に、データ線DB3、/DB3を使用して書き込まれる。冗長アドレス領域RARおよび冗長フラグ領域RFRに保持されたデータは、ビット線BL、/BLを介して直接列制御回路14に出力される。冗長アドレス領域RARは、冗長フラグ領域RFRに論理1が書き込まれているときに有効になり、冗長フラグ領域RFRに論理0が書き込まれているときに無効になる。

【0031】メモリセル領域MCRは、8つのブロックBLK0-BLK7で構成されている。各ブロックは、8ビットの入出力データを512個保持する4096個のメモリセルMCを有している。すなわち、1ブロックのメモリ容量は、4kビットである。ブロックBLK0-BLK7は、列アドレスの下位3ビットにより識別される。冗長メモリセル領域RCRは、メモリ領域MRの1ブロックに対応する4096個のメモ

リセルMCを有している。冗長メモリセル領域RCRの16個のコラムスイッチCLS (図示せず) は、一つの冗長列選択信号RCLにより制御されている。

【0032】図3は、メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRにおけるワード線WL方向に沿った等価回路を示している。ワード線WLおよびプレート線PLは、図1に示したように冗長情報領域DCR、メモリセル領域MCR、冗長メモリセル領域RCRに共通に配線されており、配線長が長い。このため、ワード線WLおよびプレート線PLは、寄生抵抗Rおよび寄生容量Cを有している。ワードドライバ10からワード線WLに供給されるワード線選択信号は、ワードドライバ10に近いメモリセルMCほど早く伝達される。すなわち、ワード線選択信号は、ノードWN1、WN2、WN3の順で伝達される。同様に、プレートドライバ12からプレート線PLに供給されるプレート電圧は、プレートドライバ12に近いメモリセルMCほど早く伝達される。すなわち、プレート電圧は、ノードPN1、PN2、PN3の順で伝達される。

【0033】冗長情報領域DCRは、ワードドライバ10およびプレートドライバ12に隣接して配置されているため、所定のワード線WLおよびプレート線PLが活性化されたときに、冗長情報領域DCRのメモリセルMCは、メモリセル領域MCR、冗長メモリセル領域RCRのメモリセルMCに比べ早く動作する。図4は、読み出し動作におけるワード線WLおよびプレート線PLの電圧の変化、および冗長情報領域DCR、メモリセル領域MCR、冗長メモリセル領域RCRの動作を示している。

【0034】ワード線WLのノードWN1、WN2、WN3およびプレート線PLのノードPN1、PN2、PN3は、ワードドライバ10およびプレートドライバ12に近い順に高レベルに変化する(活性化)。ワードドライバ10およびプレートドライバ12に遠いノードほどCR時定数が大きくなるため、立ち上がり波形は緩やかになる。本発明の強誘電体メモリでは、ノードWN1、PN1の高レベルへの変化にตอบสนองして冗長情報領域DCRが動作し、救済情報が出力される。列制御回路14は、救済情報に応じて、“救済”または“非救済”を判定する(救済判定)。次に、ノードWN2、PN2およびノードWN3、PN3の高レベルへの変化にตอบสนองして、メモリセル領域MCRおよび冗長情報領域DCRが動作する。メモリセルMCからビット線BL(またはBL)に読み出されたデータは、センスアンプS/Aで増幅される。列制御回路14は、救済判定の結果および列アドレスに応じて、列選択信号CLまたは冗長列選択信号RCLを活性化する。そして、読み出しデータが出力される。なお、図4は、時間軸を誇張して記載している。実際には、救済判定とMCR動作とは重複して実行され、MCR動作とRCR動作は、ほぼ同時に実行される。

【0035】(比較例)従来の強誘電体メモリでは、ノードWN1、PN1の高レベルへの変化にตอบสนองして、まずメモリセル領域MCRおよび冗長情報領域DCRが動作する。その

後、ノードWN3、PN3の高レベルへの変化にตอบสนองして冗長情報領域DCRが動作する。この結果、救済判定が遅れ、読み出しデータの出力が遅くなる。本発明では、救済判定を早くできるため、メモリセルの救済時、非救済時のいずれの場合にも、従来に比べて時間Tだけアクセス時間を短縮できる。

【0036】図4において、ワード線WLおよびプレート線PLの変化タイミングは、読み出し動作および書き込み動作とも同一である。また、救済判定のタイミングは、コラムスイッチおよび冗長コラムスイッチの動作タイミングを示している。このため、コラムスイッチおよび冗長コラムスイッチを介してメモリセルMCにデータを書き込む書き込み動作においても、読み出し動作と同様にアクセス時間を短縮できる。

【0037】以上、本実施形態では、冗長情報領域DCRを、ワードドライバ10およびプレートドライバ12の近くに配置した。救済情報を保持している冗長情報領域DCRのメモリセルMCが、メモリセル領域MCRおよび冗長メモリセル領域RCRのメモリセルMCより早く動作を開始するため、読み出し動作および書き込み動作時に救済、非救済を早く判定できる。より具体的には、救済情報にตอบสนองして、コラムスイッチおよび冗長コラムスイッチの動作が早く開始される。この結果、メモリセルの救済時、非救済時のいずれの場合にもアクセス時間を短縮できる。

【0038】冗長情報領域DCRのメモリセルMCを、強誘電体キャパシタを有する不揮発性のメモリセルMCで構成した。このため、電源が供給されないときにも、救済情報を保持できる。メモリセル領域MCRおよび冗長メモリセル領域RCRを、冗長情報領域DCRと同じ不揮発性のメモリセルMCで構成した。このため、冗長情報領域DCR、メモリセル領域MCRおよび冗長メモリセル領域RCRのメモリセルおよびその周辺の回路を、同じレイアウトルールで設計し、同じ半導体プロセス技術を使用して製造できる。したがって、チップサイズを小さくできる。チップサイズが小さくなり、かつ製造工程が簡単になることで、製造コストを低減できる。

【0039】図5は、本発明の半導体メモリの第2の実施形態を示している。この実施形態は、請求項1～請求項8に対応している。従来技術および第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、メモリブロックMBは、ワードドライバ10、2つのプレートドライバ12および4つのメモリ領域MRを有している。各メモリ領域MRは、メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRで構成されている。ワードドライバ10は、図におけるメモリブロックBMの左端に配置されている。各プレートドライバ12は、2つのメモリ領域MRの間に配置されている。冗長情報領域DCR(図中に太枠で示し

た)は、メモリセル領域MCRおよび冗長メモリセル領域RCRに対して、プレートドライバ12の近くに配置されている。ワード線WLは、4つのメモリ領域に共通に配線され、プレート線PLは、メモリ領域MR毎に配線されている。その他の構成および信号の接続は、従来と同じである。

【0040】一般に、ワード線WLは、メモリセルMCの伝達トランジスタのゲートを介して強誘電体キャパシタに接続され、プレート線PLは、強誘電体キャパシタに直接接続されている。このため、プレート線PLに接続される負荷は、メモリセルMCの強誘電体容量等を含み、ワード線WLに接続される負荷より大きくなる。この実施形態では、複数のメモリ領域MRを有する場合に、プレートドライバ12を複数形成し、冗長情報領域DCRを負荷の大きいプレート線PLを駆動するプレートドライバ12の近くに配置することで、第1の実施形態と比べても遜色無くアクセス時間を短縮できる。

【0041】この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、複数のメモリ領域MRを有する場合にも、これ等メモリ領域MRに対応して、複数のプレートドライバ12を形成することで、プレート線PLの負荷がアクセス時間に影響することを最小限にできる。すなわち、アクセス時間を短縮できる。

【0042】なお、上述した実施形態では、半導体メモリを強誘電体キャパシタを有するメモリセルMCで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、フローティングゲートとコントロールゲートとを有する不揮発性のメモリセルで構成してもよい。上述した実施形態では、メモリセル領域MCR、冗長メモリセル領域RCR、および冗長情報領域DCRを、強誘電体キャパシタを有するメモリセルMCで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、メモリセル領域MCR、冗長メモリセル領域RCRを揮発性のメモリセルで構成し、冗長情報領域DCRを不揮発性のメモリセルで構成してもよい。

【0043】以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0044】

【発明の効果】請求項1ないし請求項4の半導体メモリでは、救済情報を保持している冗長情報領域のメモリセ

ルの動作を早く開始でき、救済、非救済を早く判定できる。このため、メモリセルの救済時、非救済時のいずれの場合にもアクセス時間を短縮できる。

【0045】請求項5ないし請求項7の半導体メモリでは、メモリセル領域および冗長メモリセル領域を、冗長情報領域と同じレイアウトルールで設計し、同じ半導体プロセスで製造できる。したがって、チップサイズを小さくできる。チップサイズが小さくなり、かつ製造工程が簡単になることで、製造コストを低減できる。請求項8の半導体メモリでは、プレート線の負荷がアクセス時間に影響することを最小限にでき、アクセス時間を短縮できる。

【図面の簡単な説明】

【図1】本発明の半導体メモリの第1の実施形態を示すブロック図である。

【図2】図1の冗長情報領域の詳細を示す回路図である。

【図3】図1の要部の等価回路図である。

【図4】第1の実施形態における読み出し動作時のワード線およびプレート線の電圧の変化、および冗長情報領域、メモリセル領域、冗長メモリセル領域の動作を示す説明図である。

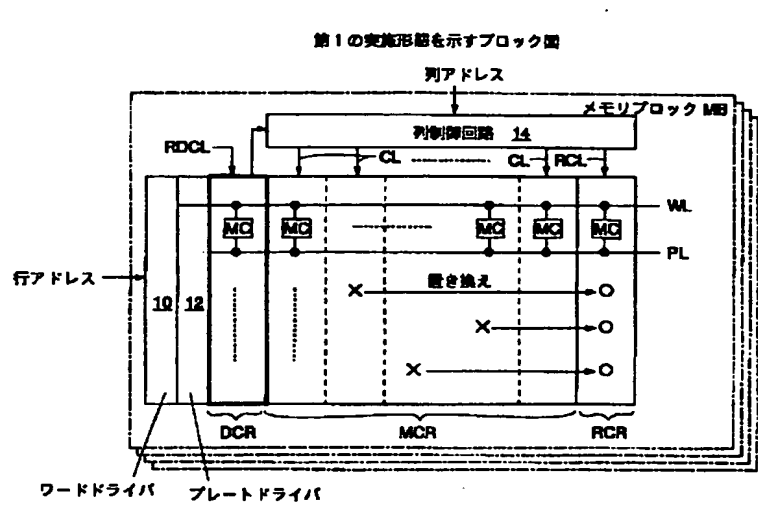
【図5】本発明の半導体メモリの第2の実施形態を示すブロック図である。

【図6】従来の冗長回路を有する半導体メモリの概要を示すブロック図である。

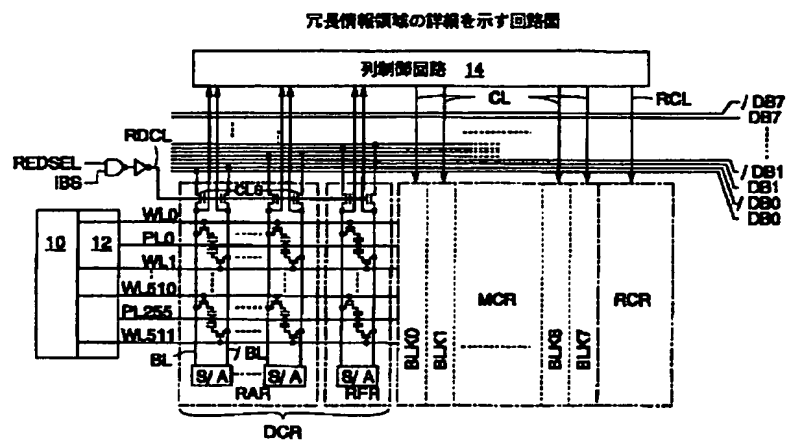
【符号の説明】

10 ワードドライバ
12 プレートドライバ
14 列制御回路
BL、/BL ビット線
CL 列選択信号
CLS コラムスイッチ
DB0-DB7、/DB0-/DB7 データ線
DCR 冗長情報領域
IBS ブロック選択信号
MB メモリブロック
MC メモリセル
MCR メモリセル領域
MR メモリ領域
PL (PL0-PL255) プレート線
RCL 冗長列選択信号
RCR 冗長メモリセル領域
REDSSEL 冗長書き込み信号
WL (WL0-WL511) ワード線

【図1】

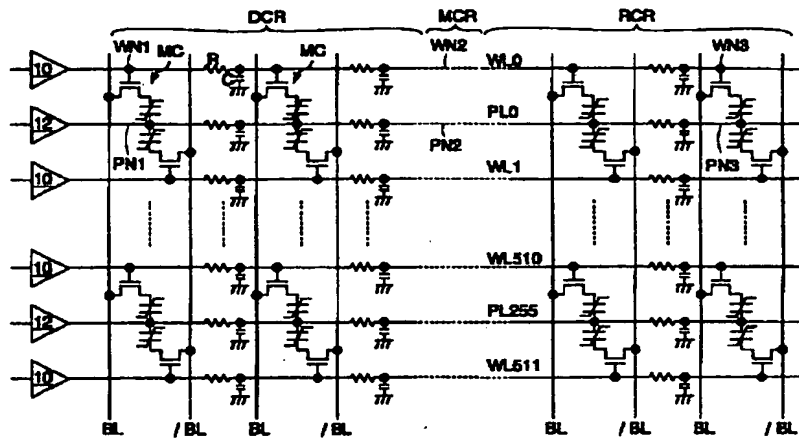


【図2】



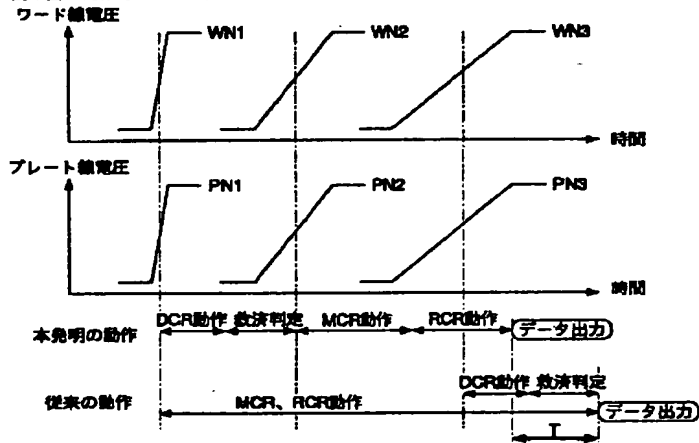
【図3】

図1の要部の等価回路図



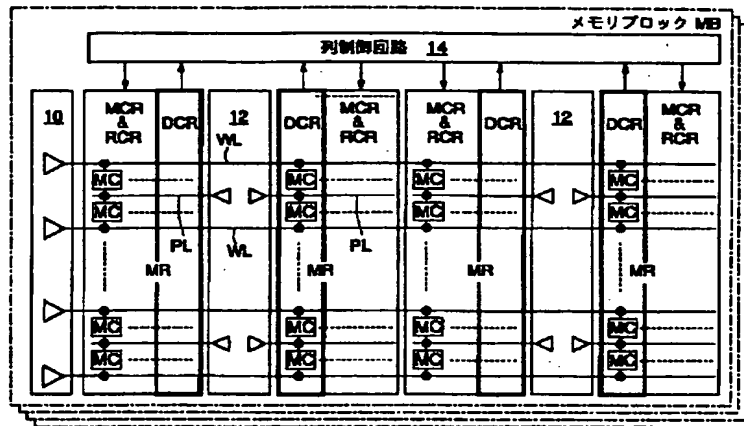
【図4】

読み出し動作時のワード線およびプレート線の電圧の変化、および各領域の動作を示す説明図



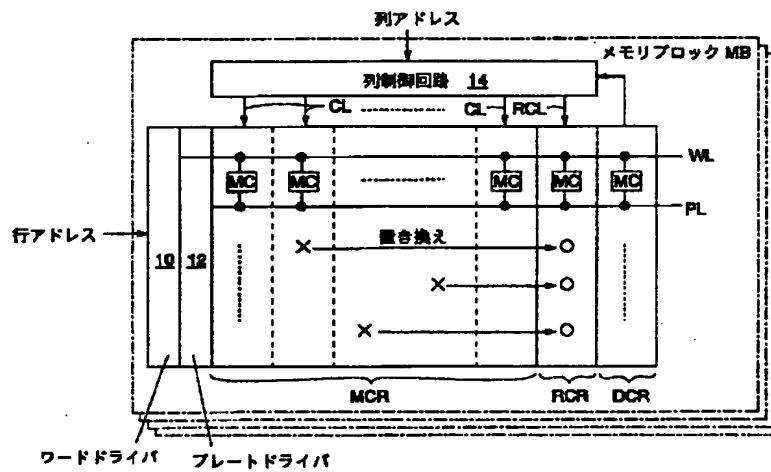
【図5】

第2の実施形態を示すブロック図



【図6】

従来の冗長回路を有する半導体メモリの概要を示すブロック図



フロントページの続き

(72)発明者 鈴木 英明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5L106 AA01 CC05 CC09 CC13 CC17
CC21 CC32 GG06